

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : **06-290232**  
(43)Date of publication of application : **18.10.1994**

---

(51)Int.Cl. **G06F 15/60**

---

(21)Application number : **05-311820** (71)Applicant : **NEC CORP**  
(22)Date of filing : **13.12.1993** (72)Inventor : **SURIMATSUTO TEI CHIYATSUKURAHAA**

---

(30)Priority  
Priority number : **93 38472** Priority date : **30.03.1993** Priority country : **US**

---

## (54) METHOD FOR RETIMING SEQUENTIAL CIRCUIT AND METHOD FOR REDESIGNING THE CIRCUIT

### (57)Abstract:

PURPOSE: To provide the methods for obtaining a functionally equivalent circuit which can operate in short clock cycles by redesigning the sequential circuit.

CONSTITUTION: A step where the path graph of the circuit is formed, a step where short and long arcs of the graph are classified, and a step where a set of short and long path inequalities is obtained are included, and an object function is obtained from those inequalities to perform processing so that the object function gives an optimum set of delay restriction conditions. Those are used after readjustment to compose the new circuit as a desired redesigned circuit.

---

## LEGAL STATUS

[Date of request for examination] **13.12.1993**  
[Date of sending the examiner's decision of rejection]  
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
[Date of final disposal for application]  
[Patent number] **2601168**  
[Date of registration] **29.01.1997**  
[Number of appeal against examiner's decision of rejection]  
[Date of requesting appeal against examiner's decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-290232

(43)公開日 平成 6 年(1994)10月18日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/60	3 6 0 D	7623-5L		
	K	7623-5L		

審査請求 有 請求項の数 3 O L (全 14 頁)

(21)出願番号	特願平5-311820	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成 5 年(1993)12月13日	(72)発明者	スリマット ティ チャックラハー アメリカ合衆国 08902 ニュージャージー 州 エ ヌオー ブランズウィック ノ ース オーク ビーエル ブイディー 2704
(31)優先権主張番号	0 8 / 0 3 8 4 7 2	(74)代理人	弁理士 京本 直樹 (外 2 名)
(32)優先日	1993年 3 月30日		
(33)優先権主張国	米国 (U S)		

(54)【発明の名称】 順次回路をリタイミングする方法および再設計する方法

(57)【要約】

【目的】 順次回路を再設計して、短いクロック・サイクルでもって動作できる機能的に等価な回路を与える方法を提供する。

【構成】 回路の経路グラフを形成するステップと、そのグラフの短いおよび長い弧を分類するステップと、短および長経路不等式のセットを得るステップを含み、それらの不等式から目的関数を得て、その目的関数が遅延制約条件の最適なセットを与えるように処理される。それらは、再調時後に、所望の再設計された回路となる新しい回路を合成するために使用される。

## 1

## 【特許請求の範囲】

【請求項1】回路の選ばれた組合せ経路セグメントにより導入される遅延を減少させることによりそのクロック期間を減少させるために順次回路をリタイミングする方法において、

弧およびノードを含む、順次回路の経路セグメントグラフを構成するステップと、

回路における組合せ経路セグメントを表している弧について、その遅延が減少されるべきものを長い弧として、その遅延が減少されるべきでないものを短い弧として分類するステップと、

長いおよび短い弧に適切な経路不等式のセットを形成し、そして前記経路不等式のセットから目的関数を形成するステップと、

前記目的関数から遅延制約条件の最適なセットを引き出すステップと、

前記最適なセットの遅延制約条件に合うようにその回路を再合成するステップと、そして、

前記回路の選ばれた組合せ経路セグメントの遅延を減少させるためにその再合成回路を再調時し、それにより、その順次回路を動作させるのに必要なクロックの期間を減少させるステップと、を含むことを特徴とする方法。

【請求項2】順次回路を減少されたクロック期間で動作するように適合させるために前記順次回路を再設計する方法において、

前記回路の経路セグメントグラフを形成するステップと、

経路セグメントグラフの弧およびクロック期間での所望の減少に適切な経路不等式のセットを形成するステップと、

前記不等式から目的関数を形成するステップと、

前記目的関数を満足する遅延制約条件の最適なセットを引き出すステップと、

前記遅延制約条件の最適なセットに基づいて前記回路を再合成するステップと、そして、

クロック期間における所望の減少を達成するために前記再合成回路を再調時するステップとから成っていることを特徴とする方法。

【請求項3】前記遅延制約条件の最適なセットの導出は最小コストフロー解析を含んでいることを特徴とする請求項2記載の方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】この発明は集積回路の計算機援用設計(CAD)に関し、特に、回路が動作されるクロック期間を減少させる順次集積回路の再設計に関する。

## 【0002】

【従来の技術】コンピュータを使用した論理合成法は、ラッチとしても知られているクロックの駆動フリップフロップおよびレジスタのような記憶つまりメモリ素子に

## 2

よって分離された組合せ副論理回路を含む回路である大規模順次集積回路の設計に対する標準技術となってきた。

【0003】CADツールにより初めに合成されるような順次回路が、再設計により、通常では望ましい因子である短いクロック期間で動作される組合せ副論理回路を含む場合もしばしばある。これらが駆動されるクロック期間を減少させる順次集積回路の再設計に対する技術開発はなおも行われており、リタイミングつまり再調時作業はこうした技術のうちの重要なものである。一般に、リタイミングには、より短い組合せ副論理回路の長さを犠牲にして、最も長い組合せ副論理回路の長さを減少させるためにその回路におけるフリップフロップの再位置決めが含まれる。場合によっては、組合せ副論理回路の再合成により、速い集積回路が得られる。リタイミングと合成との組合せは、そうした技術の1つのみを使用しては不可能な短いクロック期間を達成できる。

## 【0004】

【課題を解決するための手段】1つの局面において、本発明はリタイミングおよび再合成の組合せを使用して高性能の集積回路を合成する基本的問題に対する特定の解決策を表している。

【0005】別な局面において、本発明は、特定の解決策においてのみならずまた、一般的な集積回路をリタイミングするためにも使用できるリタイミングに対する新規な技術に関する。

【0006】本発明は、遅延制約条件(delay constraints)の最適なセットの計算機処理導出と、そしてその関数犠牲に影響することなく順次回路を再合成するためのかかるセットの使用とを含んでい

る。その最適なセットを引き出すために、順次回路は、前以って指定された遅延を有する経路セグメントの相互接続として処理され、その経路セグメントはフリップフロップ、1次入力または1次出力により境界づけられるセグメントを示している。特に、その経路セグメントはまず、回路の経路グラフを形成し、その後、もしもその重みが所望の減少されたクロック期間を超えているならば長いとして、もしもその重みが所望のクロックの期間よりも小さいかまたはそれに等しいならば短いとして、そのグラフの各弧を分類するために使用される。そこでは短いおよび長い弧に対する不等式のセットが形式化され、1つの不等式は各短い弧に対応し、3つの不等式は各長い弧に対応している。そこでは、すべての経路セグメントに関し、特に長い経路セグメントに向かってバイアスされる許容可能な遅延を増大させる目的関数が構成される。既知の最小コスト・フローアルゴリズムは、遅延制約条件の最適なセットを引き出すために、その関数に関して使用される。その後、その回路は、上述した遅延制約条件の最適なセットを満たすために、既知の組合せ再合成技術を使用して再合成される。この再合成され

## 3

た回路は所望の減少されたクロック期間を達成するためにリタイムつまり再調時される。好都合なことに、好ましい実施例において、本発明は、その主な特徴である新規なリタイミング技術を採用している。

【0007】

【実施例】ここでは、まず、本発明の実施の過程で成される予定のいくつかの仮定について論議する。もしも所望のクロック期間 $\phi - \varepsilon$  ( $\phi$ は現行のクロック期間、 $\varepsilon$ は求められる低減の量)がリタイミングにより達成されないとすると、組合せ遅延最適化器が順次回路の組合せロジックを再合成するために使用される。

【0008】順次回路Sについて検討する。 $L = \{l_1 \dots l_k\}$ をフリップフロップ、Sの1次入力および1次出力のセットとする。Sの1次入力つまりラッチ出力はその組合せロジックの1次入力である。また、Sの1次出力つまりラッチ入力はその組合せロジックの1次出力である。以下の説明では、組合せロジックの1次入力および1次出力を簡単に入力および出力としてそれぞれ取り扱う。組合せ遅延最適化器は組合せロジックを再合成するのに使用できる。遅延最適化器は組合せロジックの入力と出力との間における前以って指定された最大許容経路遅延を満たすように作用する。組合せロジックの所定の入力と出力との間における最大の許容可能な経路遅延を遅延制約条件として扱う。異なる入力および出力対は異なる遅延制約条件を持つことができる。こうした遅延制約条件は通常、組合せロジックの1次入力および1次出力それぞれの到着必要時間として指定される。組合せロジックの入力および出力それぞれの到着および必要時間を表すのに以下の表示法を使用する。 $l_i$ をラッチとすると、その出力は組合せロジックに対する入力である。ラッチ出力の到着時間を $x_i^n$ として表す。同様に、ラッチ $l_i$ への入力 $l_j$ は組合せロジックの出力であって、ラッチ入力信号の必要時間は $x_i^r$ として表す。もしも $l_i$ がSの1次入力であるとする、それは組合せロジックの入力でもある。この入力の到着時間は $x_i^n$ によって表される。この場合、 $x_i^r$ は規定されないことに注意されたい。同様に、もしも $l_i$ がSの1次出力であるとする、それはまた、組合せロジックの出力である。また、この出力の必要時間は $x_i^r$ によって表される。この場合、 $x_i^n$ は規定されないことに注意されたい。外部のインタフェース制約条件のない場合、すべての1次入力に対する到着時間は0、そしてすべての1次出力に対する必要時間は所望のクロック期間であると仮定している。もしも外部タイミング制約条件が指定されるならば、それらは我々の遅延計算体系に容易に組み入れることができる。

【0009】遅延制約条件の簡単で自然な仕様は、0の到着時間をその組合せロジックのすべての入力に割当て、そして $\phi - \varepsilon$ の必要時間をそのすべての出力に割当てることである。もしも遅延最適化器が遅延制約条件の

## 4

このセットを満たすためにそのロジックを再合成できるとすると、合成されたロジックは $\phi - \varepsilon$ のクロック期間で動作できる。しかしながら、多くの場合において、この遅延制約条件に合うようにその回路を再合成することは不可能に近い。

【0010】順次回路の性能最適化に対する最近の提案では、遅延制約条件の簡単なセットを得るのにラッチの入力スラック (slack) を利用している。この提案は、1992年11月5日付けで出願され、本願と同じ譲受け人に譲渡されている同時係属の米国特許出願第07/972,149号明細書に記述されている。この提案では、もしもラッチ $l_i$ が入力スラック $s_i$ を持っているならば、そのラッチ出力信号に $x_i^n = -s_i$ の到着時間を割当てている。このことは、ラッチが $l_i$ で終端するいずれかの経路を重大にすることなく $s_i$ だけ前方に移されるので、可能である。しかしながら、ラッチを $s_i$ だけ前方に動かすことは、ラッチ入力信号が組合せロジックのすべての出力に対するデフォルト必要時間よりも $s_i$ の単位時間だけ早く到着しなければならないことを意味する。従って、ラッチ入力信号に対する新しい必要時間は、 $x_i^r = \phi - \varepsilon - s_i$ である。遅延最適化器はこうした遅延制約条件の下で組合せロジックを再合成する。しかしながら、そこには、その遅延最適化器がその遅延仕様を満たせない場合もある。再度指摘するに、そこでの遅延要件を満たす組合せロジックの処理は存在しない。

【0011】例えば、図1の回路を検討する。図から見られるように、この回路10は入力端子aおよびbをそれぞれ持つ1対のインバータ11および12を含み、それらインバータはラッチ $l_1$ および $l_2$ を介して、ORゲート13に別々な入力を供給する。ORゲート13の出力はANDゲート14の一方の入力となり、ANDゲート14の他方の入力には1次入力cが供給されている。ANDゲート14の出力はラッチ $l_3$ を介してANDゲート15の一方の入力となり、ANDゲート15の他方の入力には1次入力端子dが接続されている。ANDゲート15の出力はORゲート16の一方の入力となり、ORゲート16の他方の入力には入力端子eが接続されている。ORゲート16の出力はANDゲート17の一方の入力となり、ANDゲート17の他方の入力にはラッチ $l_2$ の出力が供給されている。ANDゲート17の出力は出力端子fに通じている。もしも各ゲートが単位遅延を与えるものと仮定すると、その回路にとって必要とされるクロック期間は $\phi = 3$ であり、これはリタイミングによってもそれ以上減らせない。これは、1次入力dと3の遅延を持つ1次出力端子fとの間に組合せ経路があるためである。また、組合せ遅延最適化はその回路の遅延をそれ以上減少させることができない。もしも所望のクロック期間が2であるとする、ラッチ $l_1$ および $l_2$ は1の入力スラックを持っている。しかしな



がら、ラッチ $l_3$ は入力スラックを持っていない。それ故、 $x_1^n = x_2^n = -1$ そして $x_3^n = 0$ 。すべての1次入力の到着時間は0であり、そして1次入力 $f$ の必要時間は2である。 $l_1$ 、 $l_2$ および $l_3$ のラッチ入力信号の必要時間は、 $x_1^r = x_2^r = 1$ 、 $x_3^r = 2$ 。遅延制約条件に一致する $f$ に対しては処理が存在しないので、上述した遅延制約条件に合う組合せロジックを再合成することは不可能である。しかしながら、本発明は、遅延最適化器により満たされる一層容易なセットでの遅延制約条件を計算するのを可能にする。2のクロック期間は、以下の記述から明らかになるように、組合せ再合成および引き続くリタイミングにより達成される。

【0012】上述した例はラッチの入力スラックに似た局部的情報に基づいた遅延制約条件を計算することについての制限を表している。また、遅延最適化器は他のものよりももっと容易に或る遅延制約条件を満たすことができ、そして遅延最適化器に対する困難の大きさを規定することは重要である。我々は遅延最適化器に対する困難の大きさを提案し、それから、遅延最適化器に対する最適遅延制約条件のセットを計算する。我々の対策は遅延最適化器により満たされる予定の明白な経路遅延に基づいている。更に、我々の対策は有り得る遅延制約条件のセットに関して半順序を誘導する。遅延制約条件のセットは、それが遅延最適化器に対して指定される最も容易な制約条件であるという点で最適である。

【0013】最適遅延制約条件のセットは、図1に示されている順次回路を前以って指定された遅延を持つ経路セグメントの相互接続として見ることによって計算される。経路セグメントはフリップフロップ、1次入力または1次出力により境界づけられるセグメントである。我々はすべての経路セグメントに関する遅延を考えると同時に、遅延制約条件計算問題を最小コスト回路網フロー問題として形式化する。フロー問題に対する最適解は最適遅延制約条件のセットに対応している。もしも遅延最適化器がこの遅延制約条件のセットを満たすとなると、再合成された回路は所望のクロック期間を超えた幾つかの経路を持つことになる。しかしながら、再合成された回路は所望のクロック期間を達成するために再調整される。

【0014】もしも遅延最適化器が前述の同時係属出願で提案されている遅延制約条件を満たすのに組合せロジックを再合成できるとすると、その遅延最適化器は我々の最適遅延制約条件のセットを満たすことができる。しかしながら、後でも示すように、逆は成り立たない。遅延最適化器は最適の遅延制約条件のセットを満たすためにロジックを再合成できるが、前述の同時係属出願で指定されている遅延制約条件を満たすことは不可能である。

【0015】組合せ遅延最適化器は他のものよりも容易に或る遅延制約条件を満たすことができる。例えば、す

べての経路に $\phi - \epsilon$ よりも小さい遅延を要求する遅延制約条件のセットは、大半の経路に $\phi - \epsilon$ より小さいかまたはそれに等しい遅延を要求し、幾つかに $\phi - \epsilon$ よりも大きい遅延を許容する遅延制約条件のセットよりも一層厳格である。これは、その遅延最適化器が後者の制約条件セットを満たすためにそのロジックを合成できるけれども、前者の制約条件セットについては満たせないためである。また、もしもその遅延最適化器が前者の制約条件セットを満たすならば、それは後者の制約条件セットを自動的に満たすことになる。

【0016】本発明の実現のために、我々は組合せの遅延最適化に対する困難さについて次の対策を提案する。回路についての構造上の描写が与えられると、我々は困難さの大きさを得るのに組合せロジックでの経路長を利用する。もしもその回路つまりその内部信号についての機能情報が利用できるとすると、この情報を我々の対策に組み入れることが可能である。 $D_1$ および $D_2$ を組合せロジックでの経路上における2つの遅延制約条件セットとし、 $p$ を組合せロジックにおけるいずれかの経路とする。もしも制約条件セット $D_1$ でのいずれかの経路 $p$ 上における最大の許容可能な経路遅延が常にセット $D_2$ での $p$ 上における対応する許容可能な経路遅延よりも大きいかまたはそれに等しいならば、 $D_1 \leq D_2$ と規定する。我々の定義では、組合せロジックでの経路上における遅延制約条件に関して半順序を誘導する。遅延最適化器により制約条件 $D_1$ は満たされるが、 $D_2$ は満たされないで、 $D_1$ は $D_2$ よりも厳格でない。また、 $D_1$ は、 $D_2$ が満たされるときにはいつでも、自動的に満たされる。

【0017】 $D_2$ を組合せロジックのいずれかの入力および出力対間における実際の最大経路のセットとする。もしも組合せロジックが $m$ 個の入力と $n$ 個の出力を持つとすると、 $D_2$ は多くて $m \times n$ 個の要素を持つことができる。 $S$ のクロック期間は所望のクロックの期間 $\phi - \epsilon$ よりも大きいので、組合せロジックでの或る経路上における遅延は $\phi - \epsilon$ を超える。所望のクロック期間を超える遅延を持つ経路は長い経路と呼ばれ、所望のクロック期間よりも小さいかまたはそれに等しい遅延を持つ経路は短い経路と呼ばれる。

【0018】我々は、次に示す2つの条件を満たす遅延制約条件 $D_1$ を得るために、すべての経路セグメント上での遅延を同時に考える。つまり；

1.  $D_1 \leq D_2$

2.  $D_1$ は $D_2$ に対する最も大きな下側限界である。それ故、遅延制約条件 $D_3$ はないので、 $D_3 \leq D_2 \leq D_1$ 。或る意味において、制約条件 $D_1$ は遅延最適化器に対して指定される最も容易な制約条件である。もしも再合成されたロジックが遅延制約条件 $D_1$ を満たすならば、そこには所望のクロック期間を超えた遅延を持つ経路セグメントがある。しかしながら、後でも示すように、所望

## 7

のクロック期間 $\phi - \varepsilon$ を達成するために、この方法で再合成された回路を再調時することは常に可能である。

【0019】組合せロジックの入力および出力それぞれの到着および要求時間は順次回路のすべての経路セグメントを同時に考慮することにより計算される。組合せロジックのすべての入力のデフォルト到着時間を0とし、 $\phi - \varepsilon$ を組合せロジックのすべての出力のデフォルト必要時間とする。順次回路Sの1次入力および出力はセットでのいずれかの最適遅延制約条件でのデフォルト値を取る。我々は、組合せロジックのすべての入力の到着時間をSの1次入力に関して指定する。同様にして、我々は、組合せロジックのすべての出力の必要時間をSの1次出力の必要時間に関して指定する。ラッチの出力信号の到着時間およびラッチ入力信号の必要時間は以下のように関連している。ラッチ $l_i$ について考える。もしもラッチ出力信号の到着時間が $x_i^n$ だけ進められるとすると（すなわち、この信号は $x_i^n$ の単位時間、Sの1次入力にも先立って到着する）、ラッチ入力信号の必要時間も同量だけ進められる。従って、ラッチの入力信号は、 $x_i^n$ の単位時間、Sの1次出力に先立って準備されることが必要である。 $x_i$ を、Sの1次入力に比較してラッチ $l_i$ の出力信号が進められる時間単位の数とする。もしも $x_i$ が負であるとすると、ラッチ $l_i$ の出力信号は時間単位 $-x$ だけSの1次入力に遅れて到着する。また、 $x_0$ はSの1次入力および1次出力の到着および必要時間での変化を表すものとする。

【0020】我々はSの短いおよび長い経路セグメントを別々に考えることにより最適化問題を形式化する。

【0021】短い経路について： $p$ をラッチ $l_i$ から $l_j$ までの最大遅延とする。ここでは、短い経路セグメントを考慮しているので、 $p \leq \phi - \varepsilon$ 。ここで、ラッチ $l_i$ の出力信号がSの1次入力と同じ時間に到着すると仮定すると、ラッチ $l_i$ の入力信号が、 $\phi - \varepsilon$ のデフォルト必要時間前に用意される。ラッチ $l_i$ の入力信号は、 $x_j$ の単位時間だけ、そのデフォルト必要時間に先立って到着する。これは、ラッチ $l_i$ の出力信号が $x_j$ の単位時間、Sの1次入力に先立って準備されることを意味する。それ故、ラッチ $l_j$ から生ずるすべての経路セグメントに関しては、 $x_j$ の単位時間の付加的遅延が許される。遅延最適化器はラッチ $l_j$ から生ずる経路セグメントを再合成できるので、それらの遅延は $\phi - \varepsilon$ のデフォルト値ではなくて、 $\phi - \varepsilon + x_j$ を超えないことになる。遅延最適化器が $\phi - \varepsilon + x_j$ の遅延制約条件に合うようにそうした経路セグメントを再合成できると仮定すると、再合成された経路セグメントの或るものは $\phi - \varepsilon$ の所望のクロック期間を超える遅延をもつことができる。しかしながら、これらの再合成された経路セグメント上での遅延は、リタイミング相中、多くて $x_j$ の単位時間だけラッチ $l_j$ を前方に移すことにより減少される。

## 8

【0022】同様な配列はラッチ $l_i$ で終端する経路セグメントにも適用する。ラッチ $l_j$ の入力信号がSの1次出力と同じ時間に到着すると仮定すると、ラッチ $l_i$ の出力信号は、1次入力信号が到着した後に到着できる。これは、 $l_i$ と $l_j$ との間での経路セグメントが短いためである。 $j x_i$ を、Sの1次入力信号が到着した後にラッチ $l_i$ の出力信号が到着できる時間ユニットの数とする。これは、ラッチ $l_i$ の入力信号が $x_i$ の単位時間だけSの1次出力に遅れて準備されることを意味する。それ故、ラッチ $l_i$ で終端するすべての経路セグメントに関しては、 $x_i$ の単位時間の付加的遅延が許される。ここでの遅延最適化器はラッチ $l_i$ で終端する経路セグメントを再合成できるので、それらの遅延が $\phi - \varepsilon$ のデフォルト値でなくて、 $\phi - \varepsilon + x_i$ を超えることはない。再度指摘するに、遅延最適化器が $\phi - \varepsilon + x_j$ の遅延制約条件に合うようにそうした経路セグメントを再合成できると仮定すると、再合成された経路セグメントの或るものは $\phi - \varepsilon$ の所望のクロック期間を超える遅延を持つことができる。しかしながら、これらの再合成された経路セグメント上での遅延は、リタイミング相中、多くて $x_i$ の単位時間だけラッチ $l_i$ を後方に移すことにより減少される。

【0023】ここでは、再ラッチの出力信号の到着時間が前進される一層一般的な場合を解析する。 $x_i$ および $x_j$ を、ラッチ $l_i$ および $l_j$ をそれぞれの出力信号が前進される量とする。もしもラッチ出力信号にそれらのデフォルト到着時間が割当てられるとすると、遅延最適化器は、その遅延が $\phi - \varepsilon$ を超えないように、 $l_i$ と $l_j$ との間での経路セグメントを再合成しなければならない。もしもラッチ $l_i$ の出力信号のみを進めるならば、ラッチ $l_i$ と $l_j$ の間に $\phi - \varepsilon + x_i$ の遅延が許される。しかしながら、もしもラッチ $l_j$ の出力信号のみを進めるならば、 $\phi - \varepsilon - x_j$ だけの遅延が2つのラッチ間に許される。もしも、 $\phi - \varepsilon - x_j \geq p$ であるならば、その遅延制約条件はすでに現行の処理によって満たされているので、遅延最適化器がラッチ間での経路セグメントを再合成する必要はない。もしも両ラッチの出力信号が進められるとすると、遅延最適化器は、その遅延が $\phi - \varepsilon - \Delta p$ を超えないように、2つのラッチ間での経路セグメントを再合成しなければならない。ここで、 $\Delta p = x_j - x_i$ は、 $\phi - \varepsilon$ のデフォルト許容可能な遅延と比較して、2つのラッチ間での許容可能な遅延における正味の減少である。もしも $\phi - \varepsilon - \Delta p$ が $p$ の元の遅延以下になるならば、この遅延境界を達成するためにそのロジックを再合成することは不可能に近い。それ故、我々は、 $\phi - \varepsilon - \Delta p \geq p$ であることを要求する。

【0024】長い経路について： $p$ を $l_i$ から $l_j$ までの最大遅延とすると、必然的に、 $p > \phi - \varepsilon$ となる。もしも2つのラッチの出力信号にそれらのデフォルト到着時間が割当てられるとすると、遅延最適化器は $\varepsilon$ の遅延

を  $p$  から  $\phi - \varepsilon$  へ減少させるために、 $l_i$  と  $l_j$  との間での経路セグメントを再合成しなければならない。もしもラッチ  $l_i$  の出力信号のみを進めるとすると、ラッチ  $l_i$  と  $l_j$  との間には  $\phi - \varepsilon + x_i$  の遅延が許され、そしてこの経路セグメントの遅延を  $p$  から、 $\phi - \varepsilon$  ではなく、 $\phi - \varepsilon + x_i$  へ減少させるのに、遅延最適化器が使用される。遅延最適化器が  $\phi - \varepsilon + x_i$  の遅延制約条件に合うようにそうした経路セグメントを再合成できると仮定すると、再合成された経路セグメントの或るものは、 $\phi - \varepsilon$  の所望のクロックの期間を超える遅延を持つことができる。しかしながら、それらの再合成された経路セグメントでの遅延は、リタイミング相中、多くて  $x_i$  の単位時間だけラッチ  $l_i$  を前方に移すことにより減少される。

【0025】もしもラッチ  $l_j$  の出力信号のみを進めるとすると、2つのラッチ間には、 $\phi - \varepsilon - x_j$  の遅延のみが許される。遅延最適化器は、この経路セグメントの遅延を  $p$  から、 $\phi - \varepsilon$  の元の目標よりも達成するのが一層困難な  $\phi - \varepsilon - x_j$  へ減少させなければならない。もしも両ラッチの出力信号が進められるとすると、遅延最適化器は、その遅延を  $p$  から  $\phi - \varepsilon - \Delta p$  へ減少させるために、2つのラッチ間での経路セグメントを再合成しなければならない。ここでは、 $\Delta p = 0$  という条件が必要である。さもない場合、遅延最適化器はその遅延を  $p$  から、 $\phi - \varepsilon$  よりも小さい量へ減少させなければならない、これを達成するのは不可能に近い。

【0026】 $\Delta p$  の値が小さければ小さいほど、遅延最適化器に対する遅延制約条件は厳格でなくなる。しかしながら、 $\Delta p$  が  $\phi - \varepsilon - p$  を超えて小さくなる必要はな

最大化

$$-\alpha \sum_{l_i \rightarrow l_j \in P} \varepsilon_{ij} + \beta \sum_{l_i \rightarrow l_j \in P} x_i - x_j \quad (1)$$

$$l_i \rightarrow l_j \in P_1 :$$

$$x_j - x_i \leq \phi - \varepsilon - d_{ij}$$

$$l_i \rightarrow l_j \in P_2 :$$

$$x_j - x_i \leq 0$$

$$x_j - x_i - \varepsilon_{ij} \leq \phi - \varepsilon - d_{ij}$$

$$\varepsilon_{ij} \geq 0$$

【0030】ここで、 $\alpha$  は本質的に  $\beta$  よりも大きく、また、 $\alpha$  および  $\beta$  は相対的重要さのパラメータであり、その最適化は以下の制約条件の下で行われる。つまり：短い経路セグメントに関する許容可能な遅延は多くてそれらが所望のクロック期間に満たない量だけ減少される。

【0031】長い経路に関する許容可能な遅延は所望のクロック期間よりも大きいまたはそれに等しい。

い。これは、 $\Delta p$  のこの値において、経路セグメント上での許容可能な遅延が  $p$  に等しく、そしてこの遅延制約条件がすでに現行の処理により満たされているためである。従って、遅延最適化器は経路セグメントを再合成する必要がない。 $\Delta p$  が  $\phi - \varepsilon - p$  を超えて減少することを必要としないという事実は下記のような最適化体系において示される。つまり：

最小化  $\varepsilon_{ij}$

$$\Delta p - \varepsilon_{ij} \leq \phi - \varepsilon - p$$

$$\varepsilon_{ij} \geq 0$$

ここで、 $\varepsilon_{ij}$  は、遅延最適化器が経路上での経路遅延を  $j$  から  $i$  へ減少させなければならない量である。これを減少因子として記述するのが好都合である。

【0027】我々は長い経路セグメントに関する許容可能な遅延を増大させる方向に重厚にバイアスされる目的関数を構成し、そこでの許容可能な遅延は現行の処理での遅延に等しい。これはすべての長い経路セグメントに対する  $\sum \varepsilon_{ij}$  を最小化することになる。2次的目標はすべての経路セグメントに関する許容可能な遅延を増大させることである。

【0028】 $P$  をすべての経路セグメントのセットとする。また、 $P_1$  および  $P_2$  を短いおよび長い経路セグメントのセットとする。我々は、 $l_i$  から  $l_j$  までの経路セグメントを  $l_i \rightarrow l_j$  として表す。 $d_{ij}$  をこのセグメントの遅延とする。最適の遅延制約条件を得る最適化問題は以下のように示される。つまり：

【0029】

【数1】

【0032】最適化問題の解は  $x_0 \geq 0$  を持つことになる。それ故、ラッチ  $l_i$  の出力信号に対する到着時間は  $x_j - x_0$  によって与えられる。

【0033】上述した最適化問題は最小コスト・フロー問題の双対である。我々は上述した最適化問題を双対問題とし、そして最小フローコスト問題を主問題として取扱う。フロー問題に対する回路網は双対における各変数



$x_i$  に対する頂点から成っている。もしも双対が制約条件  $x_j - x_i \leq c$  を持つとすると、回路網は  $j$  から  $i$  までの弧を持っている。更に、この弧にわたる単位フローのコストは  $c$  に等しく、そしてこの弧は任意に大量の非ネガティブ・フローを運ぶことができる。もしも双対が制約条件  $x_j - x_i - \varepsilon_{ij} < e$  とすると、その回路網は  $j$  から  $i$  までの弧を持っている。この弧にわたる単位フローのコストは  $c$  に等しく、この弧上でのフローは  $\alpha$  を超えることができない。双対目的関数における  $x_i$  の係数はフロー回路網における頂点  $i$  の正味のフローアウトである。もしも正味のフローが正（負）であるとする

と、頂点  $i$  はソース（シンク）である。もしも正味のフローが0であるとする、頂点  $i$  は回路網の中継ノードであり、そして全フローは保存される。

【0034】 上述した問題の有用な変更は次の通りである。長い経路中には、或る長い経路を他のものよりも一層減少させたいものがある。我々の好みは長い経路について利用可能な機能的情報により示される。これは次のように目的関数へと容易に組み入れられる。もしも  $l_i$  と  $l_j$  との間の最大経路遅延が  $p$  ( $p \geq \phi - \varepsilon$ ) である

とすると、目的関数には頂  $p \times (-\Delta p)$  が含まれる。別な変更はいずれかのラッチ出力（入力）信号の到着時間（必要時間）が1次入力（出力）に先行していることを必要とすることである。すべてのこうした変更は基本的最適化体系に対して容易に加えられる付加的な制約条件へと移行する。上述の最適化体系を利用することで、多くの他の変更も可能である。

【0035】 遅延制約条件の最適なセットを得る体系的な手続は以下の通りである。

【0036】 1. 回路  $S$  に対する経路グラフを構成する。経路グラフ  $P$  は各ラッチ  $l_i$  に対し頂点  $l_i$  を持っている。回路  $S$  の1次入力および1次出力は単一の頂点  $l_0$  により表される。もし回路  $S$  にラッチ  $l_i$  から  $l_j$  への或る経路があると、グラフ  $P$  は頂点  $l_i$  から頂点  $l_j$  への弧を持ち、そこでの重みはラッチ  $l_i$  からラッチ  $l_j$  迄の最大経路遅延に等しい。もしも  $l_i$  が1次入力であるならば、 $l_0$  から  $l_j$  への弧がある。同様にして、もしも  $l_j$  が1次出力ならば、 $l_i$  から  $l_0$  への弧がある。こうした経路上における遅延は組合せ再合成によってのみ減少されるので、1次入力と1次出力との間

での組合せ経路はその経路グラフに含まれない。

【0037】 2. 弧を短い弧と長い弧に分類する。その重みが所望のクロック期間を超える（より小さい）ときでの弧は長い（短い）。

【0038】 3. 短いおよび長い弧に対する不等式を形式化する。各短い弧に対しては1つの不等式があり、そして各長い弧に対しては3つの不等式がある。

【0039】 4. 目的関数を構成する。

【0040】 5. 最小コスト・フローアルゴリズムを使用して最適化問題を解く。

【0041】 適当なアルゴリズムは、Prentice Hall Inc., Englewood Cliffs, N. J., C. H. パパデミトリオおよびK. ステイグリッツによる“組合せ最適化：アルゴリズムおよび計算量”という名称の本において見られる。 $x_i$ ,  $0 \leq i < \leq k$  をラッチ  $l_i$  の出力信号の最適到着時間とする。もしも  $x_0$  が零でないとする、ラッチ出力信号に対する到着時間は  $x_i - x_0$  により与えられるように調整する。この変更は、1次入力の到着時間に変化がないので、成される。結局、我々は、この調整（必要ならば）が行われ、そして  $x_i$  がラッチ出力信号に対する調整された到着時間を示すものと仮定する。

【0042】 組合せ遅延最適化器に対する最適の到着および必要時間は以下のように得られる。つまり：

1. 1次入力には0の到着時間が割当てられる。また、ラッチ  $l_2$  の出力には  $-x_i$  の到着時間が割当てられる。

【0043】 2. 1次出力には所望のクロック期間  $\phi - \varepsilon$  に等しい必要時間が割当てられる。全ての他のラッチ入力には  $\phi - \varepsilon - x_i$  の必要時間が割当てられる。

【0044】 我々は遅延制約条件セットの計算を例を通して示す。前に述べた図1に示されている回路を考える。前にも述べたように、回路のクロック期間は  $\phi = 2$  であり、そしてこれは、リタイミングによってもそれ以上減少させることができない。これは、1次入力  $d$  と、3の遅延を持つ1次出力  $f$  との間に組合せ経路があるためである。また、組合せ遅延最適化は回路の遅延をそれ以上減らせない。これは、1次出力関数  $f$  が2のクロック期間を達成するのに再合成されないためである。我々は、セットでの最適遅延制約条件を使用した組合せ再合成がクロック期間を2に減らせることを示す。それ故、クロック期間における減少は  $\varepsilon = 1$  である。

【0045】 図1での回路に対する経路グラフは図2に示されている。それは回路における3つのラッチに対応する3つの頂点  $l_1$ ,  $l_2$  および  $l_3$  を持っている。頂点  $l_0$  は、前に概説した手続のステップ1で論議したように、その回路の1次入力および1次出力に対応しており、そこには1次入力から1の最大遅延を持つラッチ  $l_1$  への経路があるので、我々はその経路グラフに1の重みを持つ弧  $l_0 \rightarrow l_1$  を含んでいる。同様にして、ラッチ  $l_3$  から1次出力への経路は弧  $l_3 \rightarrow l_0$  によって表される。 $l_3$  から1次出力へのいずれかの経路上での最大遅延は3であるので、上述した弧の重みは3である。経路グラフにおける他の弧は同様にして構成できる。

【0046】 弧  $l_0 \rightarrow l_3$  は短い弧であり、対応する不等式は  $x_3 - x_0 \leq 1$  である。同様な不等式は経路グラフにおける残る5つの短い弧に対しても構成される。経路グラフは唯一の長い弧  $l_3 \rightarrow l_0$  を持っている。この弧は、次の3つの不等式に関係している。

【0047】  $l_0 - l_3 \leq 0$ ,



$$l_0 - l_3 - \varepsilon_{03} \leq -1$$

$$\varepsilon_{03} \geq 0$$

最適化問題は経路グラフからじかに形式化できる。つまり

最大化  $-\alpha \varepsilon_{30} + \beta (x_0 + x_2 - 2x_3)$

$$x_1 - x_0 \leq 1 \quad x_2 - x_0 \leq 1$$

$$x_3 - x_0 \leq 1 \quad x_3 - x_1 \leq 0$$

$$x_3 - x_2 \leq 0 \quad x_0 - x_2 \leq 1$$

$$x_0 - x_3 \leq 0 \quad x_0 - x_3 - \varepsilon_{30} \leq -1 \quad \varepsilon_{30} \geq 0$$

初めの6つの不等式は短い弧に対応している。最後の3つの不等式は長い弧  $l_3 \rightarrow l_0$  に対応している。我々は、従来の最小コスト・フローアルゴリズムを用いて最適化問題を解き、解つまり:  $x = 0$ ,  $x_1 = 1$ ,  $x_2 = 1$  および  $x_3 = 1$  を得る。我々は、 $\alpha = 10$  および  $\beta = 1$  を仮定する。すべての1次入力に対する到着時間は0である。ラッチ  $l_1$ ,  $l_2$  および  $l_3$  の出力に対する到着時間はそれぞれ、 $-1$ ,  $-1$  および  $-1$  である。すべての1次出力に対する必要時間は所望のクロック期間2である。ラッチ  $l_1$ ,  $l_2$  および  $l_3$  の入力に対する必要時間はそれぞれ、1, 1 および 1 である。我々はこうした遅延制約条件の下で組合せロジックを再合成する。

【0048】図3には、再合成された回路が示されている。図から見られるように、再合成された回路20は、入力端子aおよびbにそれぞれ接続されたインバータ21および22を含んでいる。

【0049】インバータの2つの出力はラッチ  $l_1$  および  $l_2$  への入力を形成し、それらラッチの出力はORゲート23への入力を形成している。ORゲート23の出力はANDゲート24へ的一方の入力を形成し、他方の入力は端子cに通じている。ANDゲート24の出力はラッチ  $l_3$  への入力となり、ラッチ  $l_3$  の出力はANDゲート25へ的一方の入力を形成し、他方の入力はラッチ  $l_2$  の出力に通じている。また、ラッチ  $l_2$  の出力はANDゲート26的一方の入力ともなっており、他方の入力は入力端子eに通じている。ANDゲート25の出力はANDゲート27へ的一方の入力となり、他方の入力は端子dに通じている。ANDゲート27およびANDゲート26の出力はORゲート28への2つの入力を形成し、ORゲート28の出力は出力端子fにおいて利用できる。遅延最適化器はすべての指定された遅延制約条件を満たした。しかしながら、再合成された組合せロジックは2の所望のクロック期間を超える経路を持っていることに注意されたい。しかしながら、所望のクロック期間はこの回路を再調時することで達成される。

【0050】これは次のように示される。 $S'$  を、最適の遅延制約条件を使用して回路Sを再合成することにより得られる回路とする。回路  $S'$  は常に、 $\phi - \varepsilon$  のクロック機関を達成するのに再調時可能である。ここでは、

再合成された回路  $S'$  が以下で成されるように臨界経路つまりサイクルを持たないことを示すだけで十分である。これは、臨界経路つまり長さがリタイミングを防止するのに必要な条件であることを確立したためである。臨界経路つまりサイクルの存在がリタイミングを防止するのに十分な条件であることは既に知られている。

【0051】我々はここで、臨界経路つまりサイクルがリタイミングを防止するのに必要な条件であることを示す。我々はデジタル回路を有向グラフ  $G(V, E)$  としてモデル化し、ここで、 $V$  および  $E$  は頂点および弧セットをそれぞれ示す。グラフ  $G$  は各1次入力、1次出力または組合せ論理ゲートに対する頂点を持っている。もしもゲート  $u$  がゲート  $c$  への入力であるとする、そこには、頂点  $u$  から頂点  $v$  への弧  $e(u \rightarrow^e v)$  として表される)がある。更に、我々は遅延  $d_v \geq 0$  を頂点  $v$  に関連づけると共に、重み  $w_\varepsilon \geq 0$  を各弧  $\varepsilon$  に関連づける。ここで、 $d_v$  はゲート  $v$  の伝搬遅延であり、そして  $w_\varepsilon$  は弧  $\varepsilon$  上におけるラッチの数である。

【0052】拡張グラフ  $H$  は、グラフ  $G$  における1次入力および1次出力頂点を単一のホスト・ノードで置き換えることにより、グラフ  $G$  から得られる。それ故、グラフ  $H$  は、 $G$  の1次入力および1次出力頂点を除いて、グラフ  $G$  と同じセットの頂点を持っている。また、 $H$  は付加的なホスト頂点を持っている。グラフ  $H$  は、1次入力頂点の流出弧および1次出力頂点の流入弧を除いて、グラフ  $G$  と同じ弧セットを持っている。ここで、グラフ  $G$  での1次入力頂点からのすべての流出弧は拡張グラフ  $H$  でのホストから生ずる。同様にして、 $G$  での1次出力頂点へのすべての流入弧はホストに入る。また、 $G$  および  $H$  における頂点の遅延は、ホスト頂点に零の遅延が割当てられることを除いて、同じである。 $H$  における弧の重みは  $G$  における弧の重みと同じである。もしも、グラフ  $G$  に、1次入力から1次出力  $v_i$  への零遅延経路があるとする、 $H$  には、零重みサイクルがある。しかしながら、我々は、ホストのすべての流入弧上における重みを1だけインクリメントし、かかる弧をラッチ弧として取扱う。ラッチ上における重みをインクリメントすることは、グラフ  $G$  における1次出力  $v_i$  と、この1次出力を駆動するノードとの間に余分なラッチを加えることに等価である。 $H$  には、 $G$  にある1次出力の数に同程度のラッチ弧がある。

【0053】1991年、アルゴリズムカ (Algorithmica), Vol. 6, pp. 5~35で公表された "Retiming Synchronous Circuitry" という名称の文献において、レイザーソンおよびサクセは、拡張グラフにおけるすべての頂点が単位遅延を持つと仮定したときに、いずれかの拡張グラフが再調時可能である必要且つ十分な条件を解明した。我々の場合、 $H$  におけるホスト・ノードは零伝搬遅延を持ち、後でも示すように、それらを完全に証明す

るには、僅かな技術的問題がある。更に、我々は、 $H^R$  が各ラッチ弧に関して少なくとも1つのラッチを持つ特定のリタイミングについて関心がある。レイザーソンおよびサクセにより提案されたリタイミングはこれを保証しない。各ラッチ弧が少なくとも1つのラッチを持っているHについての特定のリタイミングを得ることは、それらの結果の僅かな修正を使用することにより可能である。

【0054】Gを単位遅延周期回路Sの回路グラフとし、そしてHをGから得られる拡張グラフとする。もしも、各ラッチ弧が $H^R$ に1の重みを持つように、拡張グラフHが再調時されるとすると、Gも再調時可能である。Hのリタイミングが与えられると、我々は $G^R$ を次のように得る。我々はホスト・ノードを削除して、各流入弧からのラッチを $H^R$ でのホスト・ノードへと移す。

【0055】同じ頂点セットおよび弧セットをHとして持つ新しいグラフ $H'$ を導入することは好都合である。 $H'$ での頂点はHでの対応する頂点と同じ遅延を持っている。しかしながら、 $H'$ におけるいずれかの弧eの弧重み $w'_e$ は、ホストの流出弧を除いて、

【0056】

【数2】

$$w'_e = w_e - \frac{1}{\phi - \varepsilon}$$

【0057】である。もしもeがホストからの流出弧であるとする、 $w'_e$ は $w_e$ に等しい。我々は、グラフ $H'$ を使用してHのリタイミングを得る。同様な技術はレイザーソンおよびサクセによっても使用されている。しかしながら、そこには2つの微妙な差異がある。レイザーソンおよびサクセの技術は各頂点が単位遅延を持っているグラフに対して適用可能である。我々は零伝搬遅延を持つ頂点を認めるので、それらの結果はじかに適用できない。更に、零伝搬遅延頂点を考慮するために、我々はグラフ $H'$ を僅かばかり異なる仕方において構成する。 $H$ および $H'$ におけるホストの流出弧は同一の重みを持っている。レイザーソンおよびサクセの構成において、ホストの流出弧の重みは

【0058】

【数3】

$$\frac{1}{\phi - \varepsilon}$$

$$g(u) + \frac{1}{\phi - \varepsilon} \leq g(v) + \frac{1}{\phi - \varepsilon} + w(e)$$

【0068】両辺での上限を取ると、

【0069】

【0059】だけ減少される。このグラフを $L'$ とする。もしもGが1次入力から遅延 $\phi - \varepsilon$ を持つ1次出力への経路を持つとすると、 $L'$ における対応するサイクルは、

【0060】

【数4】

$$-1 + 1 - \frac{1}{\phi - \varepsilon} = -\frac{1}{\phi - \varepsilon}$$

【0061】の負の重みを持つことになり、そしてGは再調時できないものと我々は過って結論する。

【0062】補題1：もしも $H'$ が負の重みサイクルを持たないとする、グラフHは正の重みを持つ $H^R$ における各ラッチ弧について再調時可能である。

【0063】証明： $H'$ は負の重みサイクルを持たないものと仮定する。我々は、クロックの期間が $\phi - \varepsilon$ より小さいかまたはそれに等しいように、HのリタイミングRを作り出すことになる。 $g(v)$ をvから $H'$ におけるホスト頂点である $v_h$ への最も短い経路の重みとする。我々はリタイミング関数rを次のように規定する。

つまり、

【0064】

【数5】

$$r(v) = \left[ \frac{1}{\phi - \varepsilon} + g(v) \right] - 1$$

【0065】我々はこれをHの正当なリタイミングと認める。更に、我々は、各ラッチ弧が正の重みを持っていることを示す。

【0066】非否定性制約条件：我々は、再調時したグラフでの各弧が負でないエッジ重みを持っていることを示す。 $u$ から $v_h$ への最短の経路は少なくとも、経路 $u \xrightarrow{e} v \xrightarrow{p} v_h$ と同程度に短い。ここで、pはvから $v_h$ への最短経路である。もしもuがホストであるとする、 $g(u) \leq g(v) + w(e)$ 。従って、

【0067】

【数6】

17

18

$$\left[ g(u) + \frac{1}{\phi - \varepsilon} \right] - 1 \leq \left[ g(v) + \frac{1}{\phi - \varepsilon} \right] - 1 + w(e)$$

【0070】これは、 $r(u) \leq r(v) + w(e)$ を生じさせる。同様にして、もしも $u$ がホスト以外のいずれかの頂点であるとする、

【0071】  
【数8】

$$g(u) \leq g(v) + w(e) - \frac{1}{e}$$

両辺に $\frac{1}{\phi - \varepsilon}$ を加えて、両辺の上限を取ると、

$$r(u) \leq r(v) = w(e) \text{ を得る。}$$

【0072】それ故、提案したリタイミングは非否定性制約条件を満足する。

【0073】タイミング制約条件：我々は、 $\phi - \varepsilon$ よりも大きい遅延を持ついずれかの経路上に少なくとも1つのラッチがあることを示す。ここでは2つのケースを検討する。まず、ホスト頂点を含む経路 $u \rightarrow^p v$ について考える。それは $\phi - \varepsilon + 1$ またはそれ以上の弧を持っている。従って、この経路の遅延は少なくとも、 $\phi - \varepsilon + 1$ である。 $H'$ におけるこの経路上の重みは、

【0074】  
【数9】

$$\geq \frac{-1}{e}$$

【0075】の重みを持つ少なくとも $e$ 個のエッジがあるので、せいぜい $w(p) - 1$ にある。最短の経路拡張を用いると、 $g(u) \leq g(v) + w(p) - 1$ となる。両辺に

【0076】  
【数10】

$$\frac{1}{\phi - \varepsilon}$$

$$r(v_h) = \left[ \frac{1}{\phi - \varepsilon} + g(u_h) \right] - 1 = 0$$

【0082】また、 $H$ には負サイクルがなく、 $u$ がホスト頂点への経路のみを持っているので、

【0083】  
【数13】

$$g(u) - g(v_h) + w(e) - \frac{1}{\phi - \varepsilon} = w(e) - \frac{1}{\phi - \varepsilon}$$

【0084】従って、 $r(u) = w(e) - 1$ そして、 $r(v_h) - r(u) + w(e) = 1$ 。また、 $H^H$ でのラッチ弧上にはラッチがない。

【0085】もしも $H'$ が負の重みサイクルを含むとす

【0077】を加えて、両辺の上限を取ることににより、 $r(u) \leq r(v) + w(e) - 1$ を得る。同様にして、ホストを含まない経路 $p$ を考える。それは $\phi - \varepsilon$ またはそれ以上の弧を持っている。再度指摘するに、 $H'$ におけるこの経路上での重みはせいぜい、 $w(p) - 1$ および $g(u) \leq g(v) + w(p) - 1$ である。また、両辺に

【0078】  
【数11】

$$\frac{1}{\phi - \varepsilon}$$

【0079】を加え、両辺の上限を取ることににより、 $r(u) \leq r(v) + w(e) - 1$ を得る。従って、提案したリタイミングはタイミング制約条件を満足する。

【0080】正の重みを持つラッチ弧： $u \rightarrow^e v_h$ のラッチ弧について検討する。負サイクルの不在により、 $g(v_h) = 0$ なので、

【0081】  
【数12】

ると、 $H$ のリタイミングは不可能である。ホストを含みそして $n$ 弧を持つ $H'$ でのサイクル $p$ について検討する。従って、このサイクルの遅延は $n - 1$ である。サイクルは負の重みを持っているので、

50



【0086】

【数14】

$$w(p) - \frac{n-1}{\phi - \varepsilon} < 0$$

【0087】ここで、 $w(p)$  はHにおける対応するサイクルの重みである。ラッチの数は

【0088】

【数15】

$$\frac{n-1}{\phi - \varepsilon}$$

【0089】よりも小さいので、これは臨界サイクルである。同様に、ホストを含まずしてn弧を持つサイクルpを考える。このサイクルの遅延はnである。従って、

【0090】

【数16】

$$w(p) - \frac{n}{\phi - \varepsilon} < 0$$

【0091】そしてサイクルは臨界である。ここから、もしもH' が負のサイクルを持つとすると、そこでのリタイミングは不可能である。

【0092】我々はここで主要結果を述べる。

【0093】定理1：Sをクロック期間 $\phi$ を持つ単位遅延同期回路とする。もしもSがnの臨界経路つまり臨界サイクルを持つならば、回路Sは、クロック期間 $\phi - \varepsilon$  ( $\varepsilon > 0$ ) を達成するために再調時される。

【0094】説明：もしもSが臨界経路つまりサイクルを持つとすると、Sは再調時できない。もしもSが再調時できないならば、Sは臨界経路つまりサイクルを持たなければならないことを示す必要がある。

【0095】Hを回路Sに対応した拡張グラフとする。補題から、もしもH' が負の重みサイクルを持つならば、Hは再調時できない。更に、H' における負の重みサイクルはHにおける臨界サイクルに対応している。ホストを含んでいるHでの臨界サイクルはSでの臨界経路に対応している。同様に、ホストを含まないHでの臨界サイクルはSでの臨界サイクルに対応している。

【0096】補題から、そこにはHのリタイミングが存在するので、各ラッチ弧は少なくとも1の重みを持っている。従って、回路 $S^R$  は前にも述べたように $H^R$  により得られる。

【0097】リタイミングを防止するために臨界経路つまりサイクルが必要であることを確立してから、我々は、最適遅延制約条件を使用した合成回路が臨界経路つまりサイクルを持たないことを示す。

【0098】定理2：S' を、最適遅延制約条件を用いて回路Sを再合成することにより得られた回路とする。

回路S' は常に、 $\phi - \varepsilon$  のクロック期間を達成するのに再調時可能である。

【0099】証明：前にも説明したように、ここでは、再合成された回路Sが臨界経路つまりサイクルを持たないことを示すだけで十分である。

【0100】臨界経路の不在：1次入力 $l_0$  と、 $l_2 \cdot \dots \cdot l_{n-1}$  と指定されたn個のラッチからなる1次出力 $l_{n+1}$  とを持つ経路について検討する。我々は、この経路の遅延が $(n+1) \times (\phi - \varepsilon)$  よりも小さいかまたはそれに等しいことを示す。 $p_{ij}$  と $l_i$  と $l_j$  との間での遅延とする。従って、この経路の遅延は、

【0101】

【数17】

$$\sum_{i=0}^{i=n} p_{i, i+1}$$

【0102】により境界づけられる。Sの再合成は、 $p_{i, i+1} \leq (\phi - \varepsilon) - (x_{i+1} - x_i)$  および $x_0 = x_{n-1} = 0$ であることを保証するので、合計は $(n+1) \times (\phi - \varepsilon)$  によって境界づけられる。

20 【0103】臨界サイクルの不在：ラッチ $l_i \cdot \dots \cdot l_n$  を持つS' でのサイクルを考える。我々は、このサイクルの遅延が $n \times (\phi - \varepsilon)$  よりも小さいかまたはそれに等しいことを示す。再度、 $p_{ij}$  を $l_i$  と $l_j$  との間での遅延とする。従って、この経路の遅延は、

【0104】

【数18】

$$\sum_{i=0}^{i=n} p_{i, i+1}$$

30 【0105】により境界づけられる。ここで、 $p_{n, n+1}$  はラッチ $l_n$  と $l_1$  との間での遅延である。 $p_{i, i+1} \leq (\phi - \varepsilon) - (x_{i+1} - x_i)$  を使用すると、その合計は $n \times (\phi - \varepsilon)$  によって境界づけられる。

【0106】再合成回路のリタイミング：再合成した回路は現存する種々な方法を使用して再調時できる。しかしながら、回路をリタイミングするための新規で簡単な方法はこの発明の別な特徴である。更に、この新しい手法はいずれかの単位遅延の順次回路を再調時するのに使用できる。再合成した回路は臨界経路つまりサイクルを持っていない。故に、 $S^R$  の1次入力と1次出力との間でのすべての組合せ経路上での遅延は、 $\phi - \varepsilon$  の所望のクロック期間よりも小さい。

40 【0107】リタイミングはラッチを動かす。回路を再調時するのに必要なラッチ運動を計算することは、その回路を経路セグメントの相互接続として再び見て、ラッチ出力信号の到着時間を計算することにより可能である。我々は前に記述した短いおよび長い経路セグメント制約条件を使用するが、異なる目的関数を構成する。ここで、我々の目標は長い経路セグメント上における許容可能な遅延を大きくして、その許容可能な遅延をその再合成処理での遅延に等しくすることである。この最適化

問題は以下のように述べる事ができる。つまり：

【数19】

【0108】

最大化

$$-\sum_{i \rightarrow j \in P_2} \varepsilon_{ij} \quad (2)$$

$$l_i \rightarrow l_j \in P_1 :$$

$$x_j - x_i \leq \phi - \varepsilon - d_{ij}$$

$$l_i \rightarrow l_j \in P_2 :$$

$$x_j - x_i \leq 0$$

$$x_j - x_i - \varepsilon_{ij} \leq \phi - \varepsilon - d_{ij}$$

$$\varepsilon_{ij} \geq 0$$

【0109】回路は臨界経路つまりリサイクルを持たないので、目的関数の最適値は0である。最小コスト回路網フロー・アルゴリズムは最適到着時間を計算するのに使用できる。もしも、 $X_i$   $0 \leq i < k$ がラッチ $l_i$ の出力信号の最適到着時間であるとすると、そのラッチは前向き $x_i$ 単位時間である。もしも $x_i$ が負であるならば、ラッチは $x_i$ の単位時間だけ後方に移される。

【0110】回路を再調時する体系的手続は以下の通りである。すなわち：

1. 再合成回路に対する経路グラフを構成する。

【0111】2. 所望のクロック期間としての $\phi - \varepsilon$ を持つ短いおよび長い弧へと弧を分類する。

【0112】3. 短いおよび長い弧に対する不等式を形式化する。各々の短い弧に対しては1つの不等式があり、各長い弧に対しては3つの不等式がある。

【0113】4. 目的関数を構成する。これは、経路グラフでの長い経路 $l_i \rightarrow l_j$ に対するすべての $\varepsilon_{ij}$ 'sの合計である。

【0114】5. 前に述べたように既知の最小コスト・フローアルゴリズムを使用して最適化問題を解く。解は $X_0, X_1, \dots, X_k$ とする。

【0115】6. もしも、 $X_i, 0 \leq i \leq k$ がラッチ $l_i$ の出力信号の最適到着時間とすると、ラッチは $X_i$ 単位時間、前方に移される。もしも $X_i$ が負であるとする、ラッチは $X_i$ 単位時間、後方に移される。

【0116】一例として、図3に示されている前述の再合成した回路について検討する。その経路グラフは図4に示されている。経路グラフは2つの長い経路セグメントを持っている。そこには $l_3$ から $l_0$ への長い経路があり、他の長い経路は $l_2$ と $l_0$ の間である。我々は次の最適化問題を形式化する。すなわち：

最大化

$$-\varepsilon_{30} - \varepsilon_{20}$$

$$x_1 - x_0 \leq 1 \quad x_2 - x_0 \leq 1$$

$$x_3 - x_0 \leq 1 \quad x_3 - x_1 \leq 0$$

$$x_3 - x_2 \leq 0 \quad x_0 - x_2 \leq 1$$

$$x_0 - x_3 \leq 0 \quad x_0 - x_3 - \varepsilon_{30} \leq -1 \quad \varepsilon_{30} \geq 0$$

$$x_0 - x_2 \leq 0 \quad x_0 - x_2 - \varepsilon_{20} \leq -1 \quad \varepsilon_{20} \geq 0$$

最適解は、 $x_0 = 0, x_1 = x_2 = x_3 = 1$ 。ラッチ $l_1, l_2$ および $l_3$ は、図5に示されている再調時された回路30を得るために、1単位時間だけ前方に移される。

20 【0117】図3の回路20と図5の回路30との比較から見られるように、対応するゲートは回路30で10だけ異なり、ラッチ $l_1$ はOR回路33の出力とAND回路34の入力との間に導かれ、ラッチ $l_2$ はAND回路35の出力とAND回路37の入力との間に再配置され、そしてラッチ $l_3$ はインバータ32の出力とANDゲート36の入力との間に再配置されている。

【0118】図6には、今まで記述してきた再設計プロセスの基本的ステップのフローチャート60が示されている。

30 【0119】フローは、望ましくなく長い遅延の原因となる経路である回路の長い組合せセグメントの遅延を減少させる標準の技術を行うことでスタートし、この種の重要な技術はリタイミングとして、ブロック61により示されている。

【0120】かかるリタイミング作業後、ブロック62により示されているように、そのときに利用できる回路に対して必要なクロック期間を計算し、次いで、ブロック63において、単位遅延のような或る遅延を初めに求められるべき減少として選び出す。

40 【0121】その後、図2で示されている種類の経路セグメントグラフがブロック64において構成され、そしてもしもその長さが求められつつある減少された遅延よりも大きかったならば長いとして、またもしもそれらの長さが求められるつつある減少された遅延よりも大きくなかったならば短いとして、そのグラフの各種弧が分類される。弧がしかるべく分類された後、各長い弧に対しては3つ、各短い弧に対しては1つの経路不等式がブロック65において形式化される。

50 【0122】こうしたセットでの経路不等式から、目的関数がブロック66において構成され、そして標準の最

小コスト・フローアルゴリズムにより、ブロック68において、満たされることを必要とするセットでの最適遅延制約条件が計算される。

【0123】その後、ブロック68によって表されているように、組合せロジック・セグメントが図3に示されているセットでの最適遅延制約条件を満たす新しい回路が合成される。

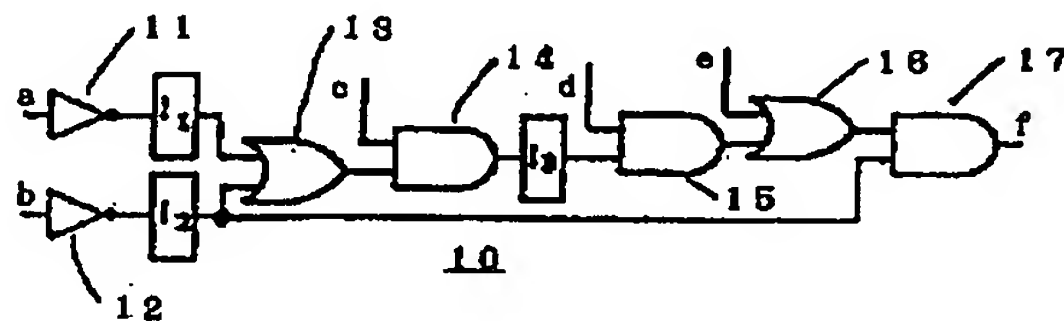
【0124】その後、ブロック70によって表されているように、その回路が減少されたクロック期間で動作できる図5に示されている回路を与えるために再調整される。

【0125】クロック期間をなお一層減少させる場合には、ステップ63に戻って、一層の減少を選ぶ必要がある。

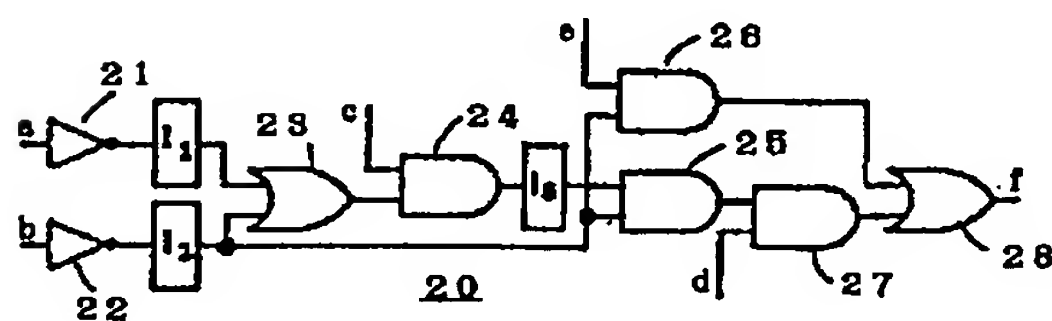
#### 【図面の簡単な説明】

【図1】本発明に従って、そのクロック期間を2つの遅延ユニットに減少させるために再設計される予定の順次回路の概略ブロック図である。

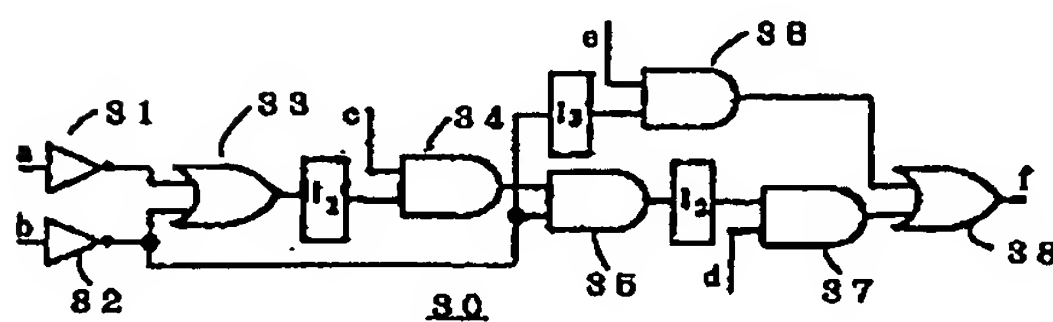
【図1】



【図3】



【図5】



【図2】図1の回路の経路セグメントグラフである。

【図3】本発明に従って見出されるセットでの最適遅延制約条件に合うように合成された後の図1の回路の概略ブロック図である。

【図4】図3の再合成された回路の経路セグメント・グラフである。

【図5】2つの遅延ユニットのクロック期間で動作するように図3の再合成された回路をリタイミングすることにより得られる回路のブロック図である。

【図6】本発明の再設計プロセスの基本的ステップの流れ図である。

#### 【符号の説明】

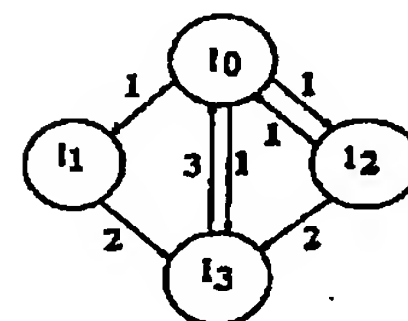
11, 12, 21, 22, 31, 33 インバータ

13, 16, 23, 28, 33, 38 ORゲート

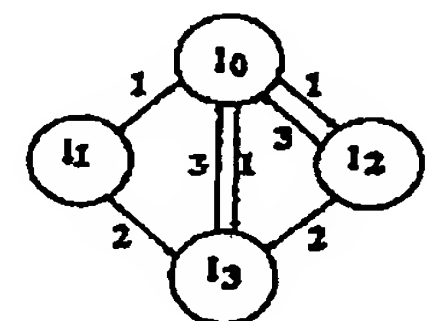
14, 15, 17, 24, 25, 26, 27, 34, 35, 36, 37 ANDゲート

11, 12, 13 ラッチ

【図2】



【図4】





【図6】

